

⑪ 公開特許公報 (A)

昭64-42690

⑤Int.Cl.⁴
G 09 G 1/00
1/02識別記号 庁内整理番号
U-6974-5C
S-6974-5C
F-6974-5C
H-6974-5C審査請求 未請求 請求項の数 14 (全 11 頁)

⑬公開 昭和64年(1989)2月14日

⑭発明の名称 グラフィック及びイメージ ディスプレイ システム

⑮特 願 昭63-180472

⑯出 願 昭63(1988)7月21日

優先権主張 ⑰1987年7月24日⑮米国(US)⑯077,160

⑰発明者 マーク ウオーレン アメリカ合衆国 08724 ニュージャージイ, ブリックタウン, サウス ベバリー ドライブ 139

ハワード

⑰発明者 レオナード マックミリアン, ジュニヤ アメリカ合衆国 07701 ニュージャージイ, レッド バンク, リヴァー ロード 229

⑰発明者 マイケル ポトメスイ アメリカ合衆国 07747 ニュージャージイ, アバーデン, ヘリテイジ スクエア 208

ル

⑯出願人 アメリカン テレフォン アンド テレグラフ カムパニー アメリカ合衆国 10022 ニューヨーク, ニューヨーク, マディソン アヴェニュー 550

⑰代理人 弁理士 岡部 正夫 外3名

明細書

1. 発明の名称

グラフィック及びイメージディスプレイシステム

通信が可能なように相互接続されることを特徴とする請求項1記載のシステム。

2. 特許請求の範囲

1. グラフィック及びイメージディスプレイシステムにおいて、該システムが複数の図画プロセッサ

4. 該バイラインプロセッサが複数の変換プロセッサから成ることを特徴とする請求項1記載のシステム。

該複数の図画プロセッサに接続された該図画プロセッサに同報通信するためのバイラインプロセッサ；及び

5. 該複数の変換プロセッサが直列に接続されることを特徴とする請求項3記載のシステム。

該処理要素からの出力信号とディスプレイデバイスとをインタフェースするための出力コントローラを含むことを特徴とするシステム。

6. 該出力コントローラが該図画プロセッサの選択されたサブセットからの出力信号を受信するための制御手段を含むことを特徴とする請求項1記載のシステム。

2. 該図画プロセッサがプロセッサのパラレル構成を形成し、個々のプロセッサが該バイラインプロセッサに応答することを特徴とする請求項1記載のシステム。

7. 該制御手段が加えられる制御信号に応答して該サブセットの選択を交互することを特徴とする請求項5記載のシステム。

3. 該図画プロセッサが該図画プロセッサ間の

8. データを該バイラインプロセッサに加えるためのホストプロセッサがさらに含まれることを特徴とする請求項1記載のシステム。

9. 情報を該バイラインプロセッサ、該図画

プロセッサのアレイ、及び該出力コントローラに加えるためのホストプロセッサがさらに含まれることを特徴とする請求項1記載のシステム。

10. 該変換プロセッサの個々が：

内部データバス；

加えられた信号に応答して情報を該内部バスに加えるための入力FIFOメモリ；

該内部バスとプログラムポートとの間に接続されたデジタル信号プロセッサ；

該内部バスに接続されたメモリ；及び

該内部バスと該変換プロセッサの出力ポートとの間に挿入された出力FIFOメモリを含むことを特徴とする請求項3記載のシステム。

11. 該アレイ内の該図画プロセッサの個々が：

内部データバス；

加えられた信号に応答して情報を該内部バスに配るための入力FIFOメモリ；

該内部バスとプログラムポートとの間に接

3

速度MPにて伝送をサポートする相互接続バックプレーンに接続されるシステムにおいて、該システムが：

該ビデオコントローラボードと接近して位置され、速度MPにて動作するK個の入力バス及び該ビデオコントローラに接続された速度MPKにて動作する出力バスをもつ多重化手段；

該プロセッサ回路ボードの個々の上に存在する該プロセッサの個々の出力ポートの所の信号を該プロセッサ回路ボードの出力バスに加えるm個の起動信号を生成するための制御手段；

P個の回路ボードから成るグループを個々のグループ内の回路ボードの出力バスを多重化することによって相互接続するための手段；及び

該バックプレーン上の個々のグループの相互接続されたバスを該多重化手段の該入力バスの異なる1つに接続するための伝送手段を

続されたデジタル信号プロセッサ；

該内部バスに接続されたメモリ；及び
該内部バスと該処理要素の出力ポートの間に挿入されたビデオメモリを含むことを特徴とする請求項1記載のシステム。

12. グラフィック及びイメージディスプレイスистемにおいて、該システムがアレイの相互接続された図画プロセッサ；

該処理要素に同報通信するためのバイブラインプロセッサ；及び

該処理要素の選択されたサブセットからの出力信号を受信するための出力コントローラを含み、該選択が動的に再構成できることを特徴とするシステム。

13. K個のプロセッサ回路ボードを含み、個々のプロセッサ回路ボードが出力ポート上に速度Mにて信号を生成するm個のプロセッサを含み、さらに該信号を速度MPKにて挿入することを要求するビデオコントローラ回路ボードが含まれ、該回路ボードの全てが最大で

4

含むことを特徴とするシステム。

14. 該制御手段が該信号を該出力ポートに加えることを命令する加えられた制御信号に応答することを特徴とする請求項1-2記載のシステム。

3. 発明の詳細な説明

本発明は3次元のシェーディングされた像を2次元のラスターディスプレイ画面上に表示するためのシステムに関する。

3次元物体の視覚表現 (visual representation) を2次元ディスプレイ手段、例えば、陰極線管のラスターディスプレイ画面上に表示するためには、表現される対象を2次元空間にマッピングするためのメカニズム、隠れた表面を削除するためのメカニズム、及び3次元表現が得られるようにイメージ内の見える表面にシェーディングを与えるためのメカニズムを提供することが必要である。幾つかのディスプレイシステムにおいては、表示されるべき全体としてのイメージ上の個々のポイントの

5

-776-

6

マッピングが、通常、ホストプロセッサと呼ばれる第1のプロセッサにおいて生成される。しかし、個々のこれらポイントを代表するデータはイメージ全体を形成する個々のポイントが全て生成され、完全なイメージを定義するデータが生成され、ホストプロセッサ内への格納が完了するまでラスターディスプレイ画面上に表示するために供給されない。表示されるべき全てのポイントの計算が完了したのちにはじめて、このデータが、通常、ローカルディスプレイプロセッサと呼ばれる第2のプロセッサに供給される。このプロセッサは画面と関連し、ポイントデータの全体を表示されるべきイメージのライン毎の走査 (line-line scan) を提供するためにビデオデータに変換する。

これらシステム内のホストプロセッサは本質的に必要とされる全ての機能を遂行する。これら機能には、マッピング機能、イメージの回転、イメージのスケーリング、ウインドニング (windowing) 、隠れた表面の削除、シェーディ

7

異なる分割され、ディスプレイプロセッサのほうが大きな負担を負う。このようなシステムの一例が1984年10月2日付で公布された合衆国特許第4,475,104号において開示される。ここでは、ホストプロセッサではなくディスプレイプロセッサがイメージ全体の個々のポイント位置、色及び強度を定義するイメージデータを生成するために使用される。このディスプレイプロセッサはまた全体としてのイメージの個々の位置の所のイメージポイントの対応する深さの関係を定義する深さデータの処理及び格納を行なう。イメージ情報及び深さ情報の両方が直ちにローカルディスプレイプロセッサによって使用できるため、全体としてのイメージの個々のポイントを定義するビデオイメージデータをこれらが生成された時点で表示のために供給することが可能である。従って、全体としてのイメージが増進的に構成 (つまり、表示) でき、ユーザに速い感じを与える。

9

ング、及びデータの走査変換 (scan conversion) あるいは“ラスター化 (rasterization)”が含まれる。

隠れた表面の削除に関しては、周知の方法としては、しばしばZ-バッファと呼ばれる深さバッファ (depth buffer) が用いられる。ホストプロセッサは表示されるべきポイントの深さと関連する情報が保持される格納手段を提供し、この情報があるポイントを表示すべきか否かを決定する便利な手段を提供する。シェーディングを生成するためには、ホストが全体としてのイメージ内の個々のポイントに対してイメージ化された表示内に3次元シェーディング効果が与えられるように適当な強度値を計算する。当分野においては複数のシェーディングアルゴリズム、例えば、ゴーラウドシェーディング (Gouraud shading) 及びホングシェーディング (Phong shading) が知られている。

別の設計においては、ホストプロセッサとローカルディスプレイプロセッサとの間の負荷が

8

多くの点において、特許第4,475,104号によって開示されるシステムは、単に計算負荷をホストプロセッサからローカルプロセッサにシフトするにすぎない。これはユーザとディスプレイシステムの間の対話通信が許されるような環境内 (例えば、図画用途) において高分解能が要求されるときに遭遇する基本的な高速処理問題を解決するものではない。

この問題は、一部、H. フューチス (H. Fuchs) によって、ACM 議事録 (Proceeding of the ACM) 、1977年10月に掲載の論文 [ビジュアルサーフェスアルゴリズムの複数のプロセッサへの分配 (Distributing of Visible Surface Algorithm Over Multiple Processors)] において開示のシステムによって解決される。ここでは、ホスト計算手段及びディスプレイ計算手段を含むシステムが開示されるが、このディスプレイ計算手段は2の級数 (例えば、16個の) 処理要素をもち、また個々の処理要素に2の級数 (例えば、8個の) イ

—777—

10

メージバッファメモリが接続される。これに加えて、個々の処理要素は、中央処理ユニット(CPU)、ローカルプログラム、及びデータメモリを含む。処理要素はホストからデータを同時に受信する。データは一体となって表示されるべきイメージを記述する多角形仕様の集合から成る。多角形仕様を受信すると、個々の処理要素はそのディスプレイ領域に関する情報を処理する。処理要素の全てがこれらの処理を終了すると、次の多角形定義がホストによって送られる。多角形は、通常、個々の処理要素メモリのバッファメモリ内で異なる数の画素を占拠するため、さまざまな処理要素の処理完了時間に差がでる傾向がある。この差を最小限にとどめるために、ある1つの処理要素に指定される画素が別の処理要素に指定される画素とインタリーブされる。類似のインタリーブ計画(interleaving scheme)がある1つのイメージバッファメモリ内に格納された画素と同一の処理要素に接続されたもう1つのイメージバッフ

1 1

に、本発明によるグラフィック及びイメージディスプレイシステムは、描かれるべきものを定義することを任務とするホストプロセッサ、描かれるべき対象に関する演算、例えば、変換及び回転を任務とするプロセッサのパイプライン構成、及び一体となってダブルバッファ分散ビデオメモリを構成し、描かれるべき画素の強度を計算することを任務とするバッファメモリをもつプロセッサのフレキシブルパラレル構成から成る。

追加の長所が後に説明されるように後者の2つのグループを扱うプロセッサの特定のアーキテクチャーから達成される。

第1図は本発明によるグラフィックマシンのブロックダイアグラムである。これはパラレルインターフェースブロック20を通じて周辺バスに接続されたホストプロセッサ10を含む。ホスト10はバス11を通してユーザと交信し、また高速パラレルチャネルを介してパラレルインターフェースブロック20と交信する従来の汎

アメモリ内に格納される画素の間で使用される。

フューチス(H.Fuchs)のアーキテクチャーは処理負荷を複数の処理要素間に配分するが、それでも処理要素に非常に高い計算パワーが要求され、しかもこの計算パワーが十分に効率的には活用されていない。これは必要なアルゴリズムの幾つかが、これらが単一のプロセッサ内に遂行されたとき最も効率が良いためである。また、フューチス(H.Fuchs)のアーキテクチャー内の処理要素は相互接続されておらず、これはある任意の1つのプロセッサによって全ての画素がアクセスされるべき演算に対する処理要素の有効性を制限する。

本発明の原理によると、イメージの描写に関与するタスクが3つのグループ、つまり、描かれるべきものを指定するグループ、描かれるべき対象を扱い、非分散処理の方が効率の良いグループ、及び画素の表示を扱うグループに分離される。これら部門をパラレル処理するため

1 2

用コンピュータであり得る。好ましい実施態様においては、インターフェースブロック20は商業バスリピータカード(commercial bus repeater card)、例えば、合衆国アラバマ州ハンツビル(Huntsville, Alabama)所在のVMEマイクロシステムズインターナショナル社(VME Microsystems International Corporation)から供給されるVMI VME-REPEATERボードであり得る。この目的はプロセッサの高速チャネルを周辺装置及び他のプロセッサが接続されるパラレル通信バスとインターフェースすることにある。好ましい実施態様においては、標準のIEEE P1014/D1.2バスが用いられるが、これはVMEバスとしても知られている。このバスの仕様は、マイクロジー・ビービーティー社(Micrology pbt, Inc.)、プリントекс・パブリッシング社(PRINTEX Publishing Co., Inc.)による編集の[VMEバス仕様(The VMEbus Specification)]において説明されている。

1 3

—778—

1 4

パラレルバス (VMEバス) は第1図においては、変換バイブライン (transformation pipeline) 30、画素ノードアレイ (pixel node array) 40、及びビデオコントローラ 50に接続される。VMEバス (及びホスト10) とブロック30、40及び50との間の接続は双方向である。ホスト10はデータ及び実行命令をこれらブロックに送る。幾つかの命令に応答して、情報がホストに流れ戻る。

ブロック30、40及び50を接続するVMEバスに加えて、変換バイブライン30がバス12を介して画素ノードアレイ40に接続され、画素ノードアレイ40がバス13を介してビデオコントローラ50に接続される。コントローラ50はバス14を介して高品質商業カラーモニター60に接続される。ここで使用されるビデオモニターは日立(Hitachi)によって製造される。1024ライン×1280画素/ラインラスター走査モニター (1024 line by 1280 pixels per line raster scan monitor) であ

15

がある）。対象が作業のユニットを形成するような演算に対しては、要求される処理を対象に加えられるべき特定の変換が1つのプロセッサによって1つのプロセッサ内で完全に遂行されるという意味において非分散の方法にて実行するのが最も効率的である。変換バイブライン30のアーキテクチャーはこのプロセッサの実行を助けるように組織化される。より具体的には、変換バイブライン30は1つの処理バイブラインを形成するように相互接続された複数のプロセッサから成る。1つの実施態様は、第2図に示されるように、プロセッサ32に加えられるプロセッサ31の出力信号、及びバイブライン内の残りのプロセッサ内を下方向に流れるプロセッサの信号をもち、そしてプロセッサ34に加えられるプロセッサ33の信号にて終端する。VMEバスはこれら全てのプロセッサに接続される。

第2図に示される変換バイブライン内の個々のプロセッサは異なる演算を遂行し、バイブライ

る。

第1図のグラフィックディスプレイマシンは計算負荷を効率的に割り当てる上に記述のアーキテクチャーを用いることによって優れた性能を達成する。より具体的には、要求される計算が3つのグループ、つまり、何を描かを指定する計算、描かれるべき対象を扱いさらに非分散による方法で最も効率的に処理できる計算、及び画素の表示を扱う計算に分割する。追加の長所が以下に説明されるように後者の2つのグループを扱うプロセッサの特定のアーキテクチャーから得られる。

変換バイブライン30

変換バイブライン30はモニター60上に描かれるべき対象と関連する多くの演算を遂行するプロセッサ構成である。つまり、所望のイメージを生成するために遂行されるべき幾つかの演算と関連して、ユニットとして扱われる対象にアルゴリズムを供給することが要求される (この演算の例としては対象の要求される回転

16

イン内の1つの演算の結果は少なくともそのバイブライン内の次の演算に対する人力の一部を構成する。以下に変換バイブライン演算の幾つかが要約される。

・対象の生成 (Object Generation)

この演算は対象の仕様のさらに処理するために適する表現への変換に関する。このステップにおいて、例えば、仕様 “ポイント X1、Y1、Z1 をセンターとする半径 R をもつ球を描く” がこの球の表面を近似する多角形仕様に変換される。

・3D変換 (3D Transformation)

この演算は対象のモデリングにおける3次元空間の仕様の見る者 (あるいは “カメラ” の位置及び方向) と関連する対象の3次元空間の仕様への変換に関する。これはアイ (eye) 空間と呼ばれる。

・X、Y、Zクリッピング (X,Y,Z Clipping)

この演算は対象が X、Y、あるいは Z 方向の視野の完全に外側にあるためモニター60上の

最終的な出力に出現することのない対象の部分を削除することに関する。

・ 三角形化 (Triangularization)

この演算は全ての多角形をその後の計算を簡素化するために三角形に整理する。

・ シェーディング (Shading)

この演算は指定される光源、これらの方向、及び対象の表面特性との関連において画面が最も良く見るような影の効果を生成するための三角形の頂点の強度値の計算に関する。

・ 投影及びビューポート マッピング

(Projection and Viewport Mapping)

この演算は 3 次元目空間 (three dimensional eye space) からモニターの画面の面積に対応するように刈込まれたあるいはフレーム化された 2 次元空間へのマッピングに関する。

・ 画素ノード前処理

(Pixel Node Preprocessing)

この演算はラスター走査変換と関連する計算タスクに関する。これは、例えば、頂点の位置

に基づく三角形のエッジの決定を含む。

・ ピッキング、選択、フィードバック
(Picking, Selecting, Feedback)

これら演算はマシンとユーザとの間の対話を扱う。ピッキングはユーザが、例えば、マウスにて制御されるカーソルを用いてモニター画面上の選択された対象を同定することを助ける。選択はピックされた対象を選択された対象に対して所望の演算ができるように選択するプロセスである。フィードバックは指定の対象に関する情報をホストに送り戻すプロセスに関する。

変換バイオペライン 3 0 によって遂行される上に説明の演算は満足できるセットを形成するが、勿論、バイオペラインプロセッサによる処理から利益が得られる他の演算も考えられる。ところで、これら演算の全てはグラフィックイメージングの分野において周知である。バイオペラインによる利益を認識し、本発明による構成は、バイオペライン状に配列された複数のプロ

19

セッサ段を用いるばかりでなく、複数のストリングの相互接続されたプロセッサを用いる。第 3 図の構成においては、2 つのバイオペラインプロセッサストリングが縦に接続されて 1 つの長いバイオペラインストリングが形成され、一方、第 4 図に示される構成においては、2 つのバイオペラインプロセッサストリングがパラレルに動作する。

バイオペライン内のプロセッサの個々（例えば、プロセッサ 3 1）は異なる演算を遂行するが、本発明による構成は、これらプロセッサに対して共通の設計を用いることによってコスト及びフレキシビリティーの面で大きな長所をもつ。プロセッサ 3 1 のアーキテクチャは第 5 図に示される。

第 5 図のプロセッサの殻は汎用浮動少数演算デジタル信号プロセッサ (D S P) ブロック 3 1 1 である。D S P 3 1 1 は任意の従来の設計で良いが、本発明によるグラフィックマシンは A T & T から供給される D S P 3 2 として知

20

られている商用デジタル信号プロセッサを用いる。D S P 3 1 1 は V N E バス及び内部バス 3 1 4 と通信する。ホスト 1 0 からの（プロセッサ 3 1 の場合は V M E バスを介しての）入力信号、あるいは変換バイオペライン 3 0 のバイオペライン内の前のプロセッサからの入力信号は、F I F O メモリ 3 1 0 を通じてバス 3 1 4 に加えられる。メモリ 3 1 0 は、本発明による設計においては、5 1 2 語 “長” 及び 3 2 ビット／語 “幅” である。時間が許せば、D S P 3 1 4 は F I F O 3 1 0 から情報を取り出し、これに関して動作する。これはプログラム及びデータメモリ 3 1 2 によりアシストされるが、メモリ 3 1 2 はバス 3 1 4 に接続される。メモリ 3 1 2 は、最も好ましくは、高速メモリであり、従って、本発明による設計においては、8 K × 3 2 ビット半導体スタック R A M が用いられる。D S P 3 1 1 によって展開された結果は F I F O メモリ 3 1 3 を介してバイオペライン内の次の変換プロセッサに送られる。メモリ

313もバス314に接続される。FIFO310と同様に、FIFO313メモリは512×32ビットメモリである。

画素ノードアレイ40

画素アレイ40は変換バイブライン30(バス12)及び、幾つかの実施態様においては、お互いからの情報を受信する複数の相互接続された図画プロセッサ(drawing processors)である。これらプロセッサは受信される情報に関して動作し、結果をバス13を介してビデオコントローラ50に送る。図画プロセッサによって遂行される処理は、典型的には、描写、例えば、シェーディングのプロセスと関連するタイプの処理である。プロセッサの全てが同一の動作を遂行し(つまり、同一プログラムを実行し)、一体となってバッファ内に格納される情報を生成する。このバッファからデータがモニター60上に表示される。

図画プロセッサのアレイの全体が使用される主な理由の1つにはスループットの制約にあ

23

となって要求される計算パワーを提供する図画プロセッサのパラレル配列を必要とする。

第6図は変換バイブライン30によって供給される信号に応答する複数の図画プロセッサ41を相互接続するための本発明による構成を示す。一例として、第6図は2つのグループの3プロセッサボード41を示す。ここで、個々のプロセッサボードは4つのプロセッサ42と1つの制御回路43を含む。変換プロセッサ30の信号はバス12を介して個々のボード内のプロセッサ42に加えられる。個々のボードはプロセッサ42が回路43の制御下においてこれに信号を加える出力バス44、及びこれらプロセッサの全てを相互接続する双方向通信バス45をもつ。

制御回路43はプロセッサ42の出力信号をベースキャンベースにて時分割多重するように構成され、このため個々のプロセッサは反復速度Mにて信号を出力し、個々のボード41の所の出力もMであるが、バス44の所の結合され

る。より具体的には、ユーザの繰り返し(例えば、対象に対して“カメラ”を接近するような動作)に応答しての動きに対してフリッカーが存在しないようにするために、少なくとも秒当たり10フレームが要求される。この要件を時間とともに変化するイメージのリアルタイム描写に適用すると、ラスター化(rasterization)、ビジブル表面の決定(visible surface determination)、及びシェーディングの計算は、1つの三角形当たり約2000の演算を必要とする。さらに、1つのシーン全体は2000から10万の三角形から構成される。これは、秒当たり 40×10^6 から 2×10^{10} の間の高精度演算を意味する。ところで、三角形は本発明における基本イメージ描写多角形である。これより高次の多角形仕様は、勿論、三角形仕様に整理が可能である。今日の技術においては、このような処理能力は1つのプロセッサで達成することは困難である。従って、本発明によるアーキテクチャーは一

24

た出力はMPとなる。ここで、Pは1つのグループ内のプロセッサボードの数を表わす。つまり、ビデオコントローラの個々の走査ラインにおいて、異なるプロセッサがボード41上で起動され、情報をMの速度で送るが、MPクロック速度にてP個のボードから成るそのグループ内の残りのボードからの情報がそれらのデータ内に適当に挿入される。この結果、P個のボードがそのグループ内のP個のボードの出力バスの単純な相互接続によって多重化される。このような接続及び結果としての多重化は、しばしば、電子回路分野において、“コレクターOR処理(collector ORing)”と呼ばれる。

ビデオコントローラ50への要求される最終的な出力は全てのボードの信号を結合しなければならず、最も単純なアプローチはこれらボードを個々のボードに対して行なわれた多重化と類似する方法にて時分割多重することである。つまり、速度MPKにて動作することである。ここで、Kはボードの数を表わす。残念なこと

に、このM P K速度は100MHzより大きく、現在のバックプレーン相互接続技術ではあまりにも高すぎる速度である。一方、個々のプロセッサボード41の出力を（低い速度Mにて）ビデオコントローラボード50に送ることも現実的でない。これは個々のバス44が32ビットをパラレルにて運び、示される6つのプロセッサボード41からの入力バスを扱うためにのみビデオコントローラボード50上の192の入力ピンを要求するためである。

本発明による解決法は、上に説明のごとく、P個のプロセッサボードから成るグループを形成し、このグループ全体に対する1つの出力バス44を与えることである。ビデオ制御ボードのコントローラカードに向って（要求されるピンの数をさらに減少するために）、配線バックプレーン上に桁送りレジスタ46がビデオコントローラ50の桁送りレジスタと接近して位置され、結果としてコントローラ50の32ピン入力ポートの所に速度M P Kが達成される。

27

よって処理される画素の二次元ブロックを生成する。

換言すれば、本発明によるグラフィック及びイメージ表示システムは制御回路43によって動的に実行される多重化制御によって、システム内に置かれた任意の数の図画プロセッサを使用することができる。この動的制御はVMEバスを介して制御回路43に信号を送るホストゆだねられる。さらに、任意のサブセットの図画プロセッサを使用のために選択でき、これによって本発明によるシステムのパワーが強化される。ある図画プロセッサが故障するようなことであれば、ホストは動作できる状態にある図画プロセッサを使用する異なる多重化構成を選択することができる。

第8図はプロセッサ42のブロック図を示す。プロセッサ31と同様に、プロセッサ42の殻にはデジタル信号プロセッサ412が存在し、これもDSP32、及びバス417を使用する。変換バイブラインから、入力はFIFO

単に図画プロセッサ42をパラレルに動作することは必要とされる高速を達成するのに、あるいはプロセッサの計算負荷を均一に保つために十分でない。負荷を均一にし、効果的な多重化法を保証し、多重化構成の動的（つまり、プログラム制御）再構成を可能とするため、本発明によるグラフィックマシンは第7図に示されるように図画プロセッサをインタリーブする。第7図には、モニターの画面の部分が個々の画素に指定される番号とともに示される。この番号は第6図の構成内の（これは分り易くするために第7図にも示される）その画素を表示するための信号を生成する任務をもつ特定のプロセッサ42を表わす。第7図には16個のプロセッサ42（0、1、2、…、15）の構成が示される。この数は異なっても良く、事実、任意のシステムに対して、この数はプログラムの制御下において（その数が素数でない限り）任意の数に変更（つまり、減少）できる。こうして、このインタリーブ構成はプロセッサ42に

28

メモリ411に加えられる。VMEバスはDSP12と直接通信する。DSP412はFIFO411によって供給されるデータに関して動作し、画素強度情報をバス417を介してビデオメモリVRAM416内に格納する。DSP412はこの計算をダイナミックメモリ415及びより高速のスタティックメモリ414にアシストされる。この両者はバス417に接続される。最後に、DSP412はスイッチ413に接続される。スイッチ413はこのプロセッサをシステム内の他のプロセッサ42に接続する。メモリ416は出力をダブルバッファモードにてビデオコントローラボード50に供給する。つまり、メモリ416は2半分から成るものとみなされる。片方は情報を反復的にビデオコントローラに送り、他方は更新された情報にてロードされる。完了すると、この2半分の役割が反転される。

上に説明のごとくこのパラレルディスプレイ処理システムは、3つのサブシステム、つまり

り、変換バイブライン、画素ノードアレイ、及びビデオコントローラから成る。これらサブシステム内のプロセッサ内で遂行される処理は、任意のセットの従来のイメージ処理アルゴリズム、あるいは特許アルゴリズム(proprietary algorithms)であり得る。本発明によるアーキテクチャーは両者を支援する。ただし、正しいマシン動作のためには、このサブシステムを同期することが要求される。

画素ノードアレイ40と変換バイブライン30との同期に関しては、画素ノードアレイが変換バイブラインに以下の2つの状態、つまり：1) 任意の図画プロセッサの入力 FIFO が満杯であること、及び2) 全ての図画プロセッサがそれらの処理を完結したことを伝ることによって交信する。

第1の状態は図画プロセッサの全ての FIFO “満杯標識(full flags)”をOR処理することによって生成される(ノード当たり1標識)。このOR処理された信号は変換バイブライ

3 1

レース期間にバッファを調和してスワップする必要がある。従って、ビデオコントローラは全ての図画プロセッサ42に垂直“v同期”標識に送る。“スワップバッファ”命令を処理している間、これら図画プロセッサはループ内で“v同期”標識の状態を調べながら待ち、標識が高値となったときバッファをスワップする。

フレームバッファ416の走査ラインの同期に関しては、ビデオコントローラは秒当たり 1280×1024 走査ラインを60回表示する。画素情報は図画プロセッサに分配される。リトレースの間にディスプレイを同期するためには、ビデオコントローラは(第6図の分配器47及びライン44を通じて)10ビット走査ライン番号を個々のプロセッサボード41に同期通信する。制御回路43がこの信号を検出し及び復号し、ホスト10から派生される動的多重化制御情報に従って、回路43はプロセッサ42の出力信号のバス44への送出を制御す

イン内の最後のノード(例えば、第2国内のプロセッサ34)によってチェックされた後にバス12に同報通信される。この同報通信は、OR処理された信号が低値となり、全ての図画プロセッサの入力 FIFO が同報通信データを受けるための空きをもつことを示すまで控えられる。第2の状態は全ての“プロセッサ準備完了(processor ready)”標識をAND処理することによって生成される。この状態の発生は全ての図画プロセッサ42が処理を終了し、その入力 FIFO を空にしたことを見す。典型的には、この時点において、図画プロセッサのバッファ414及び415が初期化され、新たなイメージに対する計算が開始される。

画素ノードアレイ40のビデオコントローラ50との同期に関しては、ビデオコントローラがフレームバッファ(416)から読み出し、ディスプレイCRTを60Hzにてリフレッシュする。図画プロセッサがダブルバッファモードにて動作している場合は、これらは垂直リト

3 2

る。

4. 図面の簡単な説明

第1図は本発明によるグラフィックシステムの一般ブロック図；

第2図は変換バイブライン30のブロック図；

第3図及び第4図はそれぞれ増強された変換バイブライン30のシリアル及びパラレル接続を示す図；

第5図は変換バイブライン30内に使用される変換プロセッサ31の詳細なブロック図；

第6図は多重化されビデオコントローラ50への高速入力を形成するように結合されたプロセッサボードの構成を示す図；ここで、個々のボードは画素ノードアレイ40に属する複数のプロセッサを含む；

第7図は第6図に示されるプロセッサ間の多重化バターンを図解した図；そして

第8図は画素ノードアレイ内に使用されるプロセッサの詳細なブロック図である。

3 3

—783—

3 4

<主要部分の符号の説明>

ホスト	… 1 0
バラレルインターフェース	… 2 0
変換バイオペライン	… 3 0
画素ノードアレイ	… 4 0
ビデオコントローラ	… 5 0
色モニタ	… 6 0

出願人：アメリカン テレフォン アンド
テレグラフ カムパニー

代理人：岡 部 正 夫
安 井 幸 一
井 上 義 雄
加 藤 伸 見

3 5

FIG. 1

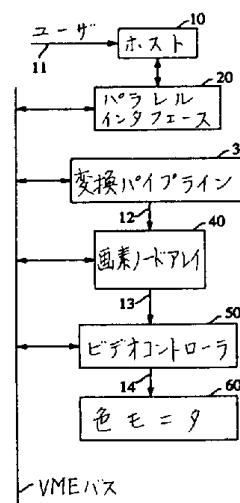


FIG. 2

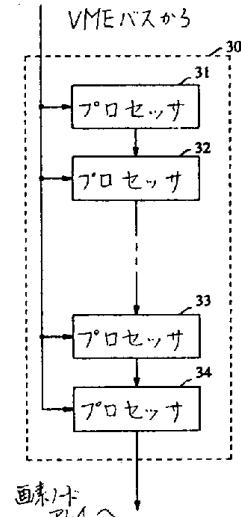


FIG. 3

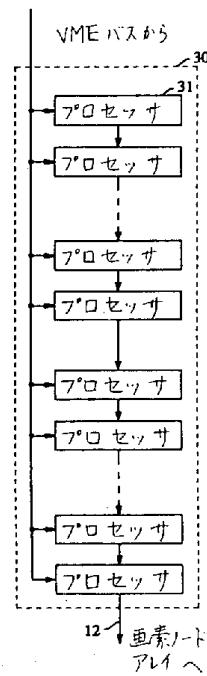


FIG. 4

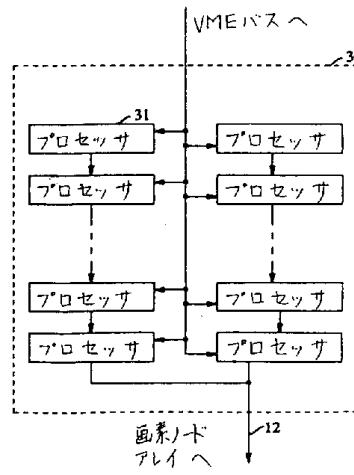


FIG. 5

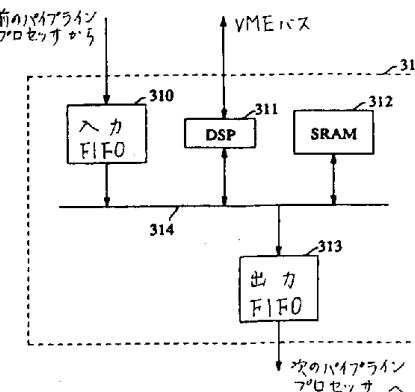


FIG. 6

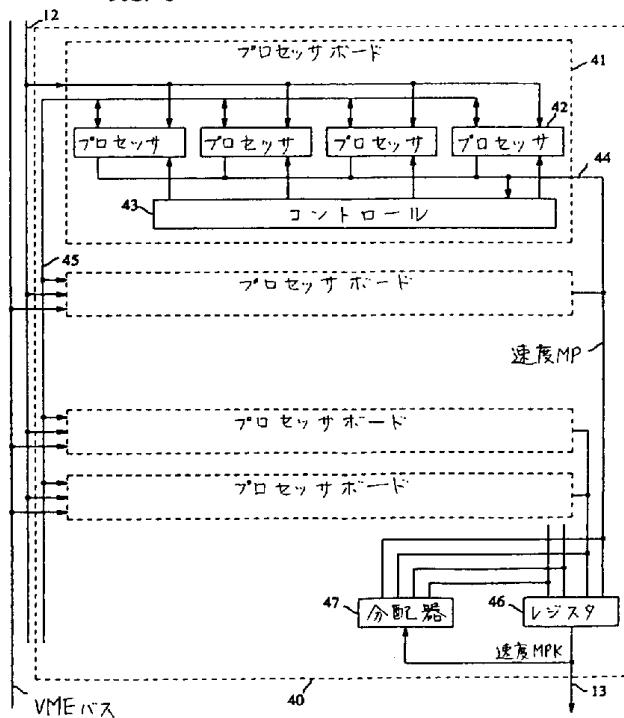


FIG. 7

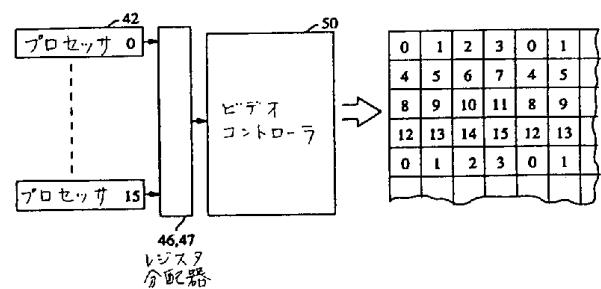
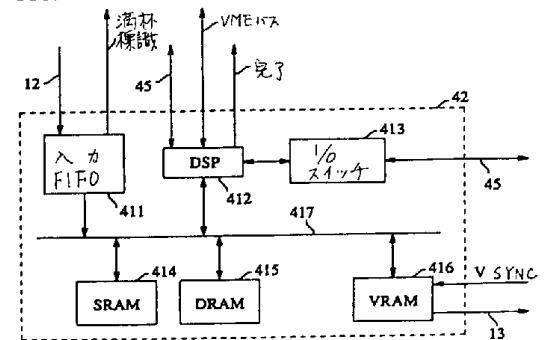


FIG. 8



PAT-NO: JP401042690A
DOCUMENT-IDENTIFIER: JP 01042690 A
TITLE: GRAPHIC AND IMAGE DISPLAY SYSTEM
PUBN-DATE: February 14, 1989

INVENTOR-INFORMATION:

NAME	COUNTRY
HOWARD, MARC WARREN	
MCMILLAN, JR LEONARD	
POTMESIL, MICHAEL	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
AMERICAN TELEPH & TELEGR CO	N/A

APPL-NO: JP63180472

APPL-DATE: July 21, 1988

INT-CL (IPC): G09G001/00 , G09G001/02

ABSTRACT:

PURPOSE: To enable high-speed processing at the time of requiring a high resolving power by providing plural graphic processors and a pipeline processor for performing multi-address communication with them.

CONSTITUTION: A conversion pipeline 30 is connected to a pixel node array 40 through a bus 12 and the pixel node array 40 is connected to a video controller 50 through a bus 13. The pixel array 40 is mutually connected to plural graphic processors for receiving the pieces of information from the conversion pipeline 30 and from each other, the processors are operated for received information and send the result to the video controller 50 through the bus 13. The processing executed by the graphic processors is typically the processing of a type related to the process of painting e.g. shading. All processors execute the same operation, integrally generate information to be stored in a buffer and data from the buffer are displayed on a monitor 60. Consequently, high-speed processing is enabled.

COPYRIGHT: (C)1989, JPO